

- 2Val di HC00 quale fenomeno assume > rilevanza: aumento dei consumi
- Al crescere di quale fenomeno può riscontrarsi in un inverter CMOS: aumenta Tr
- Caso di funzionamento critico a) **impulso elettrostatico all'ingresso porte CMOS con ampiezza 300V e tr=0.5ns** b) impulso elettrostatico all'ingresso porte CMOS con ampiezza 500V e tr=3ns
- Che cosa succede se si eccede la specifica di Iol di una porta bipolare: può crescere la Vol (1.72) (1.143) (1.144)
- Collegamento seriale lungo, vogliamo la max velocità possibile: cavo non schermato
- Considerando i tempi di risposta di un circuito digitale realizzato su scheda formato PCMCIA (s x 6 cm) bisogna tener conto dei tempi di ritardo introdotti dalle piste del circuito stampato? Se si utilizzano porte della famiglia logica FAST
- Current loop viene utilizzata: a) x connettere sistemi in parallelo in ambienti rumorosi b) ” “ sistemi seriali ad alta velocità c) “ “ tra sistemi elettrici isolati
- Dal punto di vista del rischio di scarica elettrostatica l'inverter CMOS è più a rischio con un disturbo a bassa tensione (20V) molto rapido o più lento?: rapido
- Dimensionare V di carico di peripheral driver con open collector che pilota relay: tensione << LVceo
- Disegnare lo schema interno di una porta CMOS con i circuiti di protezione per l'ingresso, per l'uscita e per l'inversione di tensione di alimentazione. (1.57 o fine foglio)
- Dovendo collegare l'uscita di una porta ECL all'ingresso di un'altra porta ECL (alimentazione Vee=-4,5V) tramite la pista di un circuito stampato lunga 40cm è preferibile collegare all'emettitore di uscita di una porta ECL: una R=100ohm collegata a -2V (oppure R=220 ohm collegata a -4,5V) perchè $t_2 > t_{pd}$ è il problema principale $Z_w = 100\text{ohm}$
- Dovendo pilotare una porta CMOS con una porta TTL ci sono problemi?: nessun problema sui livelli low ma incompatibili sui livelli high (TTL: Vol=0,4V Voh=2,4V CMOS: Vil=1,35V Vih=3,15V)
- Dovendo progettare una famiglia di porte logiche con tecnologia CMOS a bassa tensione cosa privilegereste per ridurre il tempo di salita? Dimezzare la lunghezza di canale
- E' giusta questa affermazione: all'aumentare di T aumenta il guadagno del transistor MOS e quindi la velocità dell'inverter CMOS?: no
- ECL 10K, Vih e Vil fissati, quale malfunzionamento con Vi=-0,1V: Vu segue Vi (Jbc del transistor d'ingresso polarizzata direttamente) (3.7 Guardare grafico)
- HCMOS-> TTL, 2 HEX NOR con porte NOR con 6 gate per chip CMOS TTL. Consumi: bisogna considerare la freq. Di commutazione staticamente distribuita tra le 6 parti.
- HCT(=HC) -> TTL compatibilità: Giunzione tra Drain e Source (1.70)
- Il circuito di protezione da EDS posto all'ingresso di una porta HCMOS low voltage risulta: indispensabile perché l'ossido più sottile tollera tensioni di rottura ancora più basse delle logiche della generazione precedente.
- Il FAN OUT di una porta ECL è molto alto. Questa affermazione è: vera in termini elettrici. (2.11)
- In una famiglia logica è più critico. SR o tempo di salita? a) No reale differenza, per breve t salita aumenta SR b) t salita perchè è collegato alla freq di ginocchio c) **SR**
- Inverter CMOS: applico in ingresso un 1 logico. La Rout a) aumenta all'aumentare di Vcc b) Diminuisce all'aumentare di Vcc c) **Non è influenzata da Vcc**
- Inverter CMOS: condizione fondamentale per funzionare a) **Vcc > 2Vt** b) Vtp=Vtn c) Kn=Kp d) caratteristica di potenza orizzontale
- L'attenuazione alle alte frequenze per effetto pelle è > per: conduttori lunghi
- Le nuove logiche low voltage hanno fronti più lenti rispetto alle vecchie TTL veloci la risposta è: le ridotte dimensioni del transistor rendono l'asserto non più vero.
- Le nuove logiche low voltage hanno fronti più lenti rispetto alle vecchie TTL veloci perchè Tf=3,7 Cl/KVcc e quindi Vcc minore comporta un Tf maggiore: la formula è corretta ma le ridotte dimensioni del transistor giocano anche su K e quindi l'asserto non è più vero.
- Linea disturbata da una linea a essa affiancata dove avviene transizione 0 a 1. quale caso è più

- pericoloso?: **porte ACT** porte con fronti ripidi danno problemi $dv/dt \rightarrow$ diafonia
- Oscilloscopio con banda 500MHz, qual'è il t di salita misurato all'out di un generatore di impulsi con $t_r=3ns$ (trascurare tutto il resto) a) Rimane circa 3ns b) 1ns c) **4ns** d)5ns
 - Peripheral driver che pilota realy, dimensionare V di carico: **Tensione più piccola possibile (2.11) $V_L < LV_{CE0}$**
 - Porta CMOS: se aumenta temperatura cosa succede al tempo di propagazione? a) **Aumenta** b) diminuisce c) non cambia perchè è compensata in t
 - Qual è la funzione dei 2 diodi sui C dei transistori dello stadio differenziale delle ECL di II generazione?: servono per ridurre la sensibilità dei livelli logici d'uscita rispetto alla temperatura
 - Qual è la funzione della resistenza da 500ohm?: **spegnere il transistor d'uscita in assenza di V_{cc} tenendo a massa la base del transistor.**
 - Quale delle seguenti situazioni con due linee affiancate lunghe 30cm, una a riposo e una con un segnale di commutazione, è più a rischio?: **segnali in direzione opposta e porte ACT.** (Porte con fronti ripidi danno problemi di $dV/dt \rightarrow$ diafonia)
 - Quale di queste situazioni risulta più sfavorevole per le problematiche di diafonia?: **linee affiancate e non caricate (completamente scariche).**
 - Scrivere una definizione per l'immunità al rumore:(1.93) **La massima tensione applicabile all'ingresso affinché l'uscita non cambi stato**
 - Se W/L_n diverso da W/L_p quale può essere la controindicazione per un inverter CMOS?: nessuna delle risposte (oppure T_r diverso da T_f (risposta ambigua))
 - Si chiede di dimensionare e posizionare un condensatore di bypass per la seguente situazione: Porta Luth266A con $V_{cc}=3.6V$, $I_{cc}(OL)=5ma$, $I_{CE}(OH)=0.19mA$, $t_r=2.9ns$, $t_f=1.9ns$ in modo che durante la transizione la V_{cc} non cambi più del 10%. ??? (Probabilmente si calcola $C = I \Delta t_{max} / \Delta V_{min}$ bypass = disaccoppiamento (1.68)
 - Si consideri il circuito TTL \rightarrow HCMOS. Il dimensionamento della R di pullup è: **la più bassa possibile se si hanno esigenze di velocità (1.73)** Bisogna rispettare la condizione $\tau = R_p C_i < t_s$ dove τ è cost di tempo per il condensatore di bypass
 - Si consideri l'interfacciamento di una porta MOS definita come segue con altre porte della stessa famiglia. Le caratteristiche sono: $V_{ih} = 1V$, $V_{oh} = 1.5V$, $C_i = 1pF$, $V_{cc} = 2V$, $I_{oh} = 1mA$, $t_r = 1ns$. Qual'è il fan out di questa famiglia? $r_o = (V_{cc} - V_{oh}) / I_{oh}$; $n = (-t_r / (r_o * C_i)) / (\ln(1 - V_{ih} / V_{oh})) = 1.82 \rightarrow 2$ (1.50)
 - Si consideri la porta in figura (fine foglio). Che circuito è? **Peripheral Driver 3686** Che funzione ha il diodo zener?(2.15) Limitare la tensione di uscita (Esercizio peripheral1)
 - Si consideri la porta in figura (fondo foglio), che circuito è?**Peripheral driver74451** Che funzione ha la resistenza da 500ohm? **Spegnere il transistor di uscita in assenza di V_{cc} infatti tiene a massa la base del transistor. (2.10)**
 - Si consideri le linee di trasmissione realizzate con doppino twistato. Sono: **hanno senso solo se gli stadi di driver e receiver sono differenziali.**
 - Si consideri lo stadio di uscita del peripheral driver 74C908. Che relazione c'è tra la corrente di uscita I_o e la resistenza R_{on} ?: **non lineare alle basse T e lineare alle alte T . (2.18) (2.23)**
 - Si consideri un circuito realizzato con porte ECL della famiglia MECL 10K. Quale fattore risulta più importante ai fini del consumo? **Il circuito interno di tipo differenziale**
 - Si consideri un inverter CMOS il tempo di salita T_r è diverso dal tempo di discesa T_f perchè: **non è vero se la larghezza del canale p è 2,5 volte quella del canale n.**
 - Si consideri un line driver open collector ($I_{ol}=120mA$) che piloti una linea ($Z_w=30ohm$ $l=20cm$) terminata con una terminazione Thevenin verso i 5V. In quale caso la linea risulta terminata con la prestazione di massima velocità?: **Rup=180ohm Rdown=220ohm.** (oppure $R_{up}=56ohm$ $R_{down}=68ohm$.)
 - Si consideri un sistema di trasmissione punto punto che utilizza porte di tipo TTL standard (7400) come driver di linea. Il carico non è adattato alla linea (Z_{in} del carico $\gg Z_{linea}$). Si selezioni la scelta più opportuna: **non faccio nulla** (le porte TTL non sono adatte a pilotare una linea perché le I non sono in genere sufficienti a garantire la transizione oltre al soglia già alla

commutazione. Il disadattamento in questione tramite le riflessioni può invece aiutare tale passaggio: quindi non facendo nulla si risparmia, si aumenta la velocità alla commutazione e cmq un adattamento non risolverebbe nulla).

- Si consideri una linea di trasmissione tipica di un sistema digitale di interconnessione pilotato da logiche digitali ad alta velocità. Si vuole sapere quali parametri è necessario considerare e quali trascurare: **considerare L induttanza della linea e C' capacità della linea, trascurare G' conduttanza della linea che rappresenta le perdite della capacità della linea e R' resistenza ohmica della linea.**
- Si consideri una porta driver che genera una transizione $x(t)$ $0 \rightarrow 1$ connessa ad una linea il cui circuito RC equivalente è esposto in fig. (fine foglio) Si vuole sapere se sia più opportuno per la porta successiva utilizzare un ingresso a isteresi di tipo Schmidt Trigger o una porta MOS a transizione lenta. **Isteresi**
- Si debbano interfacciare 20 porte TTL O.C. (in uscita) con 5 porte dello stesso tipo (in ingresso) si calcoli la R_{pullup} sapendo che: $V_{cc}=5V$ $I_{ol}=16mA$ $I_{oh}=250nA$ $I_{ih}=-16mA$ rispettando i margini tipici di rumore TTL: **non è possibile rispettare i margini di rumore tipici TTL.**
- Si deve interfacciare un PC ad un plotter utilizzando la porta seriale con standard RS232-E. il plotter non è in grado di utilizzare segnali di controllo ma solo un ingresso e un uscita seriali per i dati. Si vuole sapere quali azioni è più corretto intraprendere: **si collegano insieme i segnali TxD e RxD incrociati, la massa, e si collegano solo sul PC il 4 e il 5 insieme e 6, 8, 20, 22 insieme.**
- Si deve misurare il tempo di salita di un dispositivo. Sapendo che il t di salita proprio della sonda di misura è di 2 ns e che la banda dell'oscilloscopio è di 60 Mhz determinare il t di salita del dispositivo la cui risposta a un gradino in ingresso appare sullo schermo dell'oscilloscopio così: (15/09/04) **5.35ns**
- si deve ottimizzare il consumo di un circuito digitale basato su una porta CMOS di tipo 74HCT240 che pilota 4 porte dello stesso tipo. Sia $V_{cc} = 5V$ con segnali a $f=1MHz$. Quale scelta risulta più corretta? **Dimezzare la f**
- Si deve pilotare un relay tramite un circuito 75451 (peripheral driver). Il relay è dotato di diodo in parallelo con catodo connesso a $+V_{cc}$ come di consueto in questo tipo di configurazioni. V_{cc} è stata scelta \ll della LV_{cco} fornita dal costruttore. Tra i peripheral driver e il relay il collegamento è realizzato con un cavetto di un metro di lunghezza. Si dica quale di queste affermazioni risulta più corretta: **va tutto bene (infatti il diodo in parallelo al relay è in grado di smorzare le extratensioni di apertura dovute alla L eccessiva dei cavi e non serve altro sistema di protezione)** (2.11)
- Si deve realizzare una interconnessione via cavo tra due sistemi digitali ad alta velocità, il cavo in questione è un cavo schermato di tipo RG8U dotato da in alto di connettore a schermo metallico e dall'altro di connettori in plastica presso fuso dal cavo. In questo modo la schermatura del cavo risulta connessa al conduttore di riferimento di un apparato e non connessa al conduttore di riferimento dell'altro apparato, come ci si deve comportare?: **va bene lo stesso una connessione attraverso un connettore con schermo metallico è più che sufficiente.**
- Si deve realizzare una schermatura per un circuito digitale ad alta velocità in cui si è riscontrato un problema di disturbi originati da un campo elettromagnetico a freq. Di 150Hz si scelga l'approccio più corretto: **lamierini di acciaio di minimo spessore**
- Si deve scegliere una tecnica di progettazione per uno stadio di uscita CMOS che deve pilotare una linea molto carica. Quale tecnica risulta più opportuna? **Grandi larghezze di canale**
- Si vuole elaborare una tecnica di misura del t di salita di un circuito. Quale affermazione risulta più corretta?: **La larghezza di una risposta all'impulso è proporzionale al tr della corrispondente risposta al gradino.**
- Totem pole TTL, R_L verso V_{cc} piccolo: **tempo di propagazione**
- TTL standard bipolare ($V_{cc}=5V$) connetto porta CMOS. R pull-up **non** da inserire a) **1Mohm** b) 500ohm c) 100ohm
- Un disturbo genera uno spike di tensione che si propaga all'ingresso di una porta CMOS

supponendo che la $V_{cc}=5V$, si vuole sapere quale sia la situazione peggiore dal punto di vista dei consumi: **$V_{spike}=2.5V (V_{cc}/2)$**

- Un segnale elettrico viaggia più velocemente nel seguente caso: **cavo coassiale** con una opportuna $\epsilon_r(6.5)$
- Una 7400 pilota un alinea bus, come terminiamo la linea?: non terminiamo la linea
- Uno schermo x la protezione eff. Campi magnetici emessi dai cellulari deve essere fatto da: **materiali alta conducibilità**

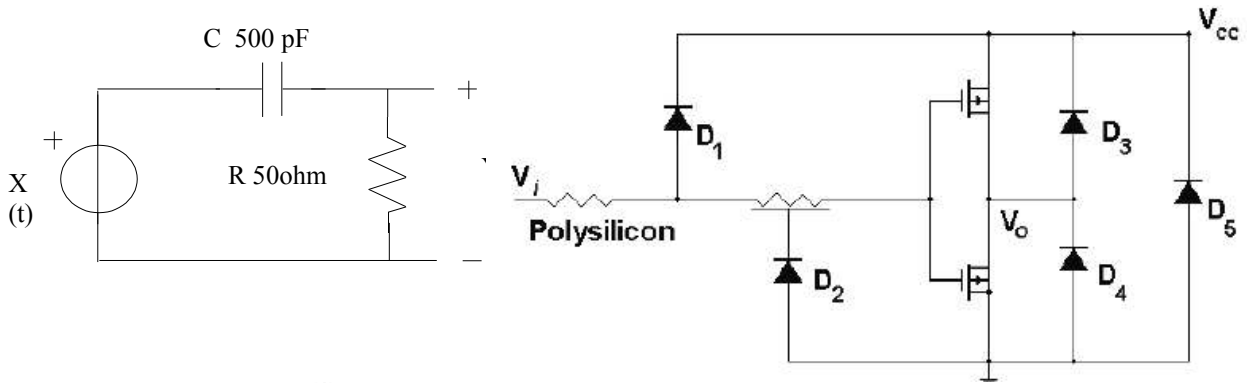


Illustration 1 CMOS con protezioni

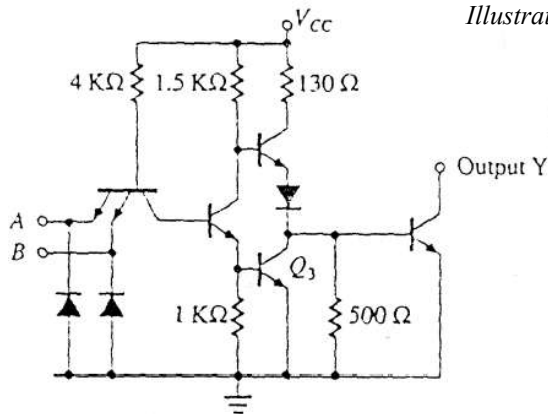


Illustration 2 Peripheral driver 74451

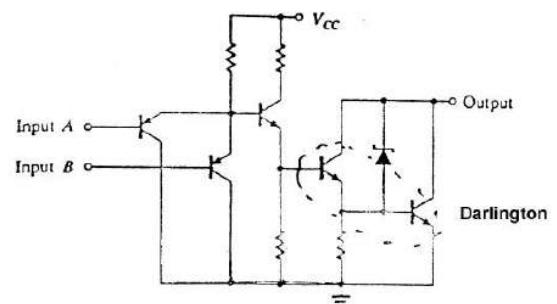


Illustration 3 Peripheral driver 3686